

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010605556 **Image available**

WPI Acc No: 1996-102509/199611

Related WPI Acc No: 1995-278786; 1995-398460; 1996-025376; 2001-055608;
2001-435258; 2002-457602

XRAM Acc No: C96-032625

XRPX Acc No: N96-085927

Semiconductor device for LCD device - comprises active layer of crystalline silicon and catalyst in amorphous silicon layer to promote crystallisation

Patent Assignee: SHARP KK (SHAF)

Inventor: FUNAI T; MAKITA N; YAMAMOTO Y; KOSAI T; MITANI Y; MIYAMOTO T;
NOMURA K

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8008181	A	19960112	JP 94139151	A	19940621	199611 B
TW 272319	A	19960311	TW 94111019	A	19941126	199625
CN 1112287	A	19951122	CN 94120769	A	19941220	199737
US 5696003	A	19971209	US 94357648	A	19941216	199804
US 5821562	A	19981013	US 94357648	A	19941216	199848
			US 95452693	A	19950530	
KR 228231	B1	19991101	KR 9435807	A	19941220	200110

Priority Applications (No Type Date): JP 94139151 A 19940621; JP 93319904 A
19931220; JP 9463230 A 19940331; JP 9490356 A 19940427

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8008181	A		7	H01L-021/20	
TW 272319	A			H01L-031/0392	
CN 1112287	A			H01L-021/00	
US 5696003	A		58	H01L-021/84	
US 5821562	A			H01L-029/786	Div ex application US 94357648 Div ex patent US 5696003
KR 228231	B1			H01L-029/786	

Abstract (Basic): JP 8008181 A

The semiconductor device consists of an active layer (113) made of crystalline silicon. A catalyst (105) in the amorphous silicon layer promotes crystallisation by carrying out heat processing. The catalyst is irradiated by a laser light.

ADVANTAGE - The diffusion of catalyst into the foundation film is avoided. The reliability and electrical stability of the semiconductor device is improved. Compact structure is secured. The cost is reduced.

Dwg.1/2

Title Terms: SEMICONDUCTOR; DEVICE; LCD; DEVICE; COMPRISE; ACTIVE; LAYER;
CRYSTAL; SILICON; CATALYST; AMORPHOUS; SILICON; LAYER; PROMOTE;
CRYSTAL

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/84;
H01L-029/786; H01L-031/0392
International Patent Class (Additional): H01L-021/205; H01L-021/263;
H01L-021/324; H01L-021/336; H01L-029/04; H01L-029/06; H01L-031/036
File Segment: CPI; EPI; EngPI

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 29/78	(11) 공개번호 (43) 공개일자	특 1995-0021777 1995년 07월 26일
(21) 출원번호	특 1994-0035807	
(22) 출원일자	1994년 12월 20일	
(30) 우선권주장	93-319904 1993년 12월 20일 일본(JP) 94-63230 1994년 03월 31일 일본(JP) 94-90356 1994년 04월 27일 일본(JP) 94-139151 1994년 06월 21일 일본(JP)	
(71) 출원인	샤프 가부시끼가이샤 쓰지 하루오	
(72) 발명자	일본국 오사까후 오사까시 마베노꾸 나가미케조 22방 22고 마끼다 나오끼 일본국 나라겐 나라시 시모야마조 643-2 후나미 다카시 일본국 나라겐 덴리시 미치노모토조 2613-1 라포트덴리 905 아마모토 요시타카 일본국 나라겐 야마토고리야마시 미즈하라조 17-7 미타니 야스히로 일본국 오사카 하비기노시 다카와시 2-338-11 노무라 가즈미 일본국 나라겐 덴리시 미치노모토조 2613-1 라포트덴리 316 미야모토 다다요시 일본국 나라겐 덴리시 미치노모토조 2613-1 아케보노료 769 고사이 다카마사 일본국 나라겐 덴리시 미치노모토조 2613-1 아케보노료 420	
(74) 대리인	이병문, 백덕열, 이태희	

심사결과 : 없음

(54) 반도체 장치 및 그 제조방법

요약

본 발명은 결정성실리콘막을 이용한 반도체장치의 제조방법에 관한 것으로, 특히 액티브매트릭스 액정표시장치나 이미지센서들에 사용될 수 있고 유리등의 절연기판상에 박막트랜지스터(TFT)가 형성되어 있는 반도체장치 및 그 제조방법에 관한 것이다. 더 구체적으로는, 본 발명은 비정질실리콘막을 결정화한 결정성실리콘막으로부터 활성영역을 형성한 TFT를 구비한 반도체장치 및 그 제조방법에 관한 것이다. 비정질실리콘막에 결정화를 조장하는 촉매원소를 도입시킨다. 촉매원소가 도입된 비정질실리콘막을 섬모양으로 패터닝한 뒤, 결정화를 위한 열처리를 행한다. 따라서, 도입된 촉매원소는 섬모양의 비정질실리콘막 내부로만 유효하게 확산된다. 그결과, 결정성장방향이 1방향으로 정렬되고 결정입계가 없는 고품질의 결정성실리콘막이 얻어진다. 이렇게 형성된 결정성실리콘막을 이용해, 성능이 높고 특성이 안정된 반도체소자를 크기에 관계없이 기판전면에 효율적으로 형성할 수 있다.

도표도

도6

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제6도는 본 발명의 제1실시예에 따라 형성될 박막트랜지스터의 기판상의 형성위치를 개략적으로 보여주는

평면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. (a)비정질실리콘막을 패터화하여 적어도 하나의 섬(島)영역을 형성하고 상기 섬영역중의 적어도 소정의 영역에 촉매원소가 선택적으로 도입되도록 절연성 표면을 갖는 기판상에 비정질실리콘막을 형성하는 공정; 및 (b)상기 비정질실리콘막을 열처리하여 상기 소정의 영역의 주변부에서 기판의 표면에 실질적으로 평행한 방향으로 비정질실리콘막의 결정성장을 일으켜, 결정 실리콘막을 얻는 공정; 을 포함하고, 상기 결정성실리콘막을 반도체장치의 소자형성영역으로 이용하는, 반도체장치의 제조방법.

청구항 2. 제1항에 있어서, 상기 공정(a)가, 상기 기판상에 상기 비정질실리콘막을 형성하는 공정; 상기 비정질실리콘막을 패터화하여 상기 적어도 하나의 섬영역을 형성하는 공정; 및 상기 섬영역중의 적어도 상기 소정의 영역에 상기 촉매원소를 선택적으로 도입하는 공정;을 더 포함하는 방법.

청구항 3. 제1항에 있어서, 상기 공정(a)가, 상기 기판상에 상기 비정질실리콘막을 형성하는 공정; 적어도 상기 소정의 영역에 상기 촉매원소를 선택적으로 도입하는 공정;및 상기 비정질실리콘막을 패터화하여 상기 적어도 하나의 섬영역을 형성하는 공정;을 더 포함하는 방법.

청구항 4. 제1항에 있어서, 상기 결정성실리콘막중의 캐리어 이동방향이 상기 비정질실리콘막의 결정성장방향에 실질적으로 평행하도록 상기 반도체장치를 구성하는 방법.

청구항 5. 제1항에 있어서, 상기 섬영역중의 상기 소정의 영역을 한정하는 개구부를 갖는 마스크층을 형성하는 공정을 더 포함하고, 상기 촉매원소를 상기 개구부를 통해 도입하는 방법.

청구항 6. 제1항에 있어서, 상기 소자형성 영역내에서 소스영역이나 드레인영역으로 되는 부분중의 적어도 일부에 상기 촉매원소를 도입하는 방법.

청구항 7. 제1항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 방법.

청구항 8. 결정실리콘막을 이용해 형성된 활성영역을 구비한 반도체장치에 있어서; 상기 활성영역은 결정화를 조정하는 촉매원소를 소정(의) 영역에 선택적으로 도입시킨 비정질실리콘막의 열처리에 의해 형성된 결정실리콘막의 래터럴(lateral)결정성장영역을 이용해 형성되고, 상기 소정의 영역은 제거되는 반도체장치.

청구항 9. 제8항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 반도체장치.

청구항 10. 제8항에 있어서, 상기 활성영역중의 상기 촉매원소의 농도가 $1 \times 10^{14} \sim 1 \times 10^{20} \text{ atom/cm}^2$ 의 범위 내에 있는 반도체장치.

청구항 11. (a)절연성표면을 갖는 기판상에 비정질실리콘막을 형성하는 공정;(b)상기 비정질실리콘막의 결정화를 조정하기 위해 비정질실리콘막의 적어도 소정의 영역에 촉매원소를 선택적으로 도입하는 공정;(c)상기 비정질실리콘막을 열처리하여 상기 소정의 영역 주변부에서 기판의 표면에 실질적으로 평행한 방향으로 비정질실리콘막의 결정성장을 일으켜, 결정성실리콘막을 얻는 공정;(d)상기 촉매원소가 도입된 상기 소정의 영역을 제거하는 공정; 및(e)상기 결정성실리콘막의 결정화를 조정하기 위해 레이저광이나 다른 강한 광을 상기 소정의 영역을 제거한 부분의 주변부에 조사하는 공정; 을 포함하는 반도체장치 제조방법.

청구항 12. 절연성 표면을 갖는 기판상에 형성된 실리콘막의 적어도 일부분인 결정성 영역을 이용해 형성된 박막트랜지스터를 구비한 반도체장치에 있어서; 비정질실리콘막의 결정화를 조정하는 촉매원소가 선택적으로 도입되고 결정성 영역보다 좁은 선택적 도입영역의 결정성장에 의해 상기 결정성 영역이 얻어지고; 상기 박막트랜지스터는 상기 선택적 도입영역에 중첩하지 않도록 배치되는 반도체장치.

청구항 13. 제12항에 있어서, 상기 박막트랜지스터가 상기 결정성 영역의 결정성장단 내측에 더 배치되는 반도체장치.

청구항 14. 제12항에 있어서, 상기 박막트랜지스터의 도전방향이 상기 비정질실리콘막의 결정성장 방향에 실질적으로 평행하도록 박막트랜지스터를 배치하는 반도체장치.

청구항 15. 제12항에 있어서, 상기 박막트랜지스터의 도전방향이 상기 비정질실리콘막의 결정성장 방향에 실질적으로 수직되도록 박막트랜지스터를 배치하는 반도체장치.

청구항 16. 제12항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 반도체장치.

청구항 17. 제12항에 있어서, 상기 촉매원소의 농도가 $1 \times 10^{14} \sim 1 \times 10^{20} \text{ atom/cm}^2$ 의 범위내에 있는 반도체장치.

청구항 18. (a)절연성 표면을 갖는 기판상에 비정질실리콘막을 형성하는 공정;(b)상기 비정질실리콘막의 위에, 비정질실리콘막의 결정화를 조정하는 촉매원소를 선택적으로 도입하고 제1열리인먼트 마스크를 형성하기 위한 개구부를 갖는 마스크층을 형성하는 공정; (c)상기 개구부를 통해 상기 비정질실리콘막에 상기 촉매원소를 선택적으로 도입하여 선택적 도입영역을 형성하는 공정; (d)열처리에 의해 상기 비정질실리콘막의 적어도 일부를 결정성 영역으로 형성하는 공정; (e)상기 마스크층을 이용해 상기 부분적으로 결정화된 비정질실리콘막을 에칭하여, 상기 선택적 도입영역의 적어도 일부를 제거하기 상기 부분적으로 결

정화된 비정질실리콘막에 상기 제1알라인먼트 마크를 형성하는 공정; 및 (f)상기 제1알라인먼트 마크를 이용해 상기 결정성 영역을 섬모상으로 패터닝하는 공정; 을 포함하는 반도체장치의 제조방법.

청구항 19. 제18항에 있어서, 상기 제1알라인먼트 마크를 이용해 제2알라인먼트 마크를 형성하는 공정을 더 포함하는 방법.

청구항 20. 제18항에 있어서, 상기 마스크층을 이용해 제2알라인먼트 마크를 형성하는 공정을 더 포함하는 방법.

청구항 21. 제18항에 있어서, 상기 공정(e)가 상기 제1알라인먼트 마크부근의 영역에 광 에너지를 조사하여 상기 제1알라인먼트 마크를 현재화시키는 공정을 더 포함하는 방법.

청구항 22. 제18항에 있어서, 상기 박막트랜지스터의 도전방향이 상기 비정질실리콘막의 결정성장방향에 실질적으로 평행하도록 박막트랜지스터를 배치하는 단계.

청구항 23. 제18항에 있어서, 상기 박막트랜지스터의 도전방향이 상기 비정질실리콘막의 결정성장방향에 실질적으로 평행하도록 박막트랜지스터를 배치하는 단계.

청구항 24. 제18항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 방법.

청구항 25. 제18항에 있어서, 상기 촉매원소의 농도가 $1 \times 10^8 \sim 1 \times 10^{10}$ atom/cm²의 범위내에 있는 반도체장치.

청구항 26. (a)절연성 표면을 갖는 기판상에 비정질실리콘막을 형성하는 공정; (b)상기 비정질실리콘막의 위에, 비정질실리콘막의 결정화를 조장하는 촉매원소를 선택적으로 도입하고 제1알라인먼트 마크를 형성하기 위한 개구부를 갖는 마스크층을 형성하는 공정; (c)상기 개구부를 통해 상기 비정질실리콘막에 상기 촉매원소를 선택적으로 도입하여 선택적 도입영역을 형성하는 공정; (d)열처리에 의해 상기 비정질실리콘막의 적어도 일부를 결정성 영역으로 형성하는 공정; (e)상기 마스크층을 이용해 상기 결정성 영역을 섬모상으로 패터닝하고 상기 선택적 도입영역을 제거하며, 또 상기 부분적으로 결정화된 비정질실리콘막에 제2알라인먼트 마크를 형성하는 공정; 을 포함하는 반도체장치의 제조방법.

청구항 27. 결정성을 갖는 실리콘막을 이용해 절연성 표면을 갖는 기판상에 형성되는, 채널영역을 구비한 반도체장치에 있어서, 상기 채널영역은, 비정질실리콘막의 소정의 선형의 도입영역에 상기 비정질실리콘막의 결정화를 조장하는 촉매원소를 선택적으로 도입함으로써 또 소정의 어닐링 온도에서 상기 비정질실리콘막을 열처리하여 상기 도입영역의 주변부에서 상기 기판 표면에 평행하게 결정성장을 일으킴으로써 얻어지는 결정실리콘막을 이용해 형성되고; 상기 채널영역은 상기 도입영역으로부터의 결정성장이 상기 소정의 어닐링 온도에서 진행되는 범위내에 배치되는 반도체장치.

청구항 28. 제27항에 있어서, 상기 채널영역이 상기 도입영역으로부터 120 μ m이내의 위치에 배치되는 반도체장치.

청구항 29. 제27항에 있어서, 상기 결정성실리콘막이 1차원적인 결정성장방향을 갖는 범위내에 또 상기 결정성막이 상기 1차원적 결정성장방향에서 분기 및 굴곡하는 수가 20이한 범위내에 상기 채널영역이 배치되는 반도체장치.

청구항 30. 제29항에 있어서, 상기 채널영역이 상기 도입영역으로부터 60 μ m이내의 위치에 배치되는 반도체장치.

청구항 31. 제29항에 있어서, 상기 결정성막이 1차원적인 결정성장방향에서 분기 및 굴곡하는 수가 10이한 범위내에 상기 채널영역이 배치되는 반도체장치.

청구항 32. 제31항에 있어서, 상기 채널영역이 상기 도입영역으로부터 30 μ m이내의 위치에 배치되는 반도체장치.

청구항 33. 제27항에 있어서, 상기 도입영역이 긴변 방향으로의 상기 도입영역 단부와 상기 채널영역사이의 거리는 상기 도입영역으로부터의 결정성장이 상기 소정의 어닐링 온도에서 진행되는 범위내에 있는 반도체장치.

청구항 34. 제33항에 있어서, 상기 도입영역이 긴변 방향으로의 상기 도입영역 단부와 상기 채널영역사이의 거리가 34 μ m이상인 반도체장치.

청구항 35. 제27항에 있어서, 상기 도입영역이 긴변 방향의 길이가 상기 결정실리콘막의 결정성장 거리의 포화값 이상의 값으로 설정되는 반도체장치.

청구항 36. 제35항에 있어서, 상기 도입영역이 긴변 방향의 길이가 120 μ m이상인 반도체장치.

청구항 37. 제27항에 있어서, 상기 도입영역의 짧은변 방향의 폭이 결정실리콘막의 결정성장거리의 포화값이상의 값으로 설정되는 반도체장치.

청구항 38. 제37항에 있어서, 상기 도입영역이 짧은변 방향의 폭이 5 μ m이상인 반도체장치.

청구항 39. 제27항에 있어서, 복수의 채널영역들을 포함하며, 복수의 박막트랜지스터를 형성하는 반도체장치.

청구항 40. 제39항에 있어서, 상기 복수의 박막트랜지스터들이 상기 도입영역의 양측에 배치되는 반도체장치.

청구항 41. 제27항에 있어서, 상기 채널영역을 형성하는 상기 결정성실리콘막이 결정성장 이후에 레이저광이나 다른 고조도의 광에 조사되는 반도체장치.

청구항 42. 제27항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 방법.

청구항 43. (a)절연성 표면을 갖는 기판상에 비정질실리콘막을 형성하는 공정; (b)상기 비정질실리콘막의 결정화를 조장하는 촉매원소를 비정질실리콘막의 소정의 선택된 도입영역에 선택적으로 도입하는 공정; (c)상기 비정질실리콘막을 열처리하여, 상기 소정의 영역 주변부에서 기판의 표면에 실질적으로 평행한 방향으로 비정질실리콘막의 결정성장을 일으켜, 및 (d)상기 결정성실리콘막을 이용해 박막트랜지스터를 형성하는 공정; 을 포함하고, 상기 도입영역으로부터의 결정성장이 상기 소정의 어닐링 온도에서 진행되는 범위내에 상기 채널영역이 있도록 상기 박막트랜지스터를 배치하는, 반도체장치의 제조방법.

청구항 44. 제43항에 있어서, 상기 채널영역이 상기 도입영역으로부터 120 μ m이내의 위치에 배치되는 방법.

청구항 45. 제43항에 있어서, 상기 결정성실리콘막이 1차원적인 결정성장방향을 갖는 범위내에 또 상기 결정성막이 상기 1차원적 결정성장방향에서 분기 및 굴곡하는 수가 20이한 범위내에 상기 채널영역이 배치되는 방법.

청구항 46. 제45항에 있어서, 상기 채널영역이 상기 도입영역으로부터 60 μ m이내의 위치에 배치되는 방법.

청구항 47. 제45항에 있어서, 상기 결정성막이 상기 1차원적 결정성장방향에서 분기 및굴곡하는 수가 1이한 범위내에 상기 채널영역이 배치되는 방법.

청구항 48. 제47항에 있어서, 상기 채널영역이 상기 도입영역으로부터 30 μ m이내의 위치에 배치되는 방법.

청구항 49. 제43항에 있어서, 상기 도입영역의 긴변 방향으로의 상기 도입영역 단부와 상기 채널영역사이의 거리가 상기 도입영역으로부터의 결정성장이 상기 소정의 어닐링 온도에서 진행되는 범위내에 있도록 상기 박막트랜지스터를 배치하는 방법.

청구항 50. 제43항에 있어서, 상기 도입영역의 긴변 방향으로의 상기 도입영역 단부와 상기 채널영역사이의 거리가 30 μ m이상인 방법.

청구항 51. 제43항에 있어서, 상기 도입영역의 긴변 방향의 길이가 상기 결정성장실리콘막의 결정성장거리의 포화값 이상의 값으로 설정되는 방법.

청구항 52. 제51항에 있어서, 상기 도입영역의 긴변 방향의 길이가 120 μ m이상인 방법.

청구항 53. 제43항에 있어서, 상기 도입영역의 짧은변 방향의 폭이 결정성장실리콘막의 결정성장거리의 포화값 이상의 값으로 설정되는 방법.

청구항 54. 제53항에 있어서, 상기 도입영역의 짧은변 방향의 폭이 5 μ m이상인 방법.

청구항 55. 제43항에 있어서, 복수의 채널영역들을 형성하여, 복수의 박막트랜지스터를 형성하는 방법.

청구항 56. 제55항에 있어서, 상기 복수의 박막트랜지스터를 상기 도입영역의 양측에 배치하는 방법.

청구항 57. 제43항에 있어서, 상기 결정성실리콘막에 레이저광이나 다른 고조도의 광을 조사하여 결정성막의 결정성을 향상시키는 공정을 더 포함하는 방법.

청구항 58. 제43항에 있어서, 상기 촉매원소가 Ni, Co, Pd, Pt, Ag, In, Sn, Al, P, As 및 Sb로 이루어지는 군으로부터 선택된 적어도 하나의 원소인 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면

